

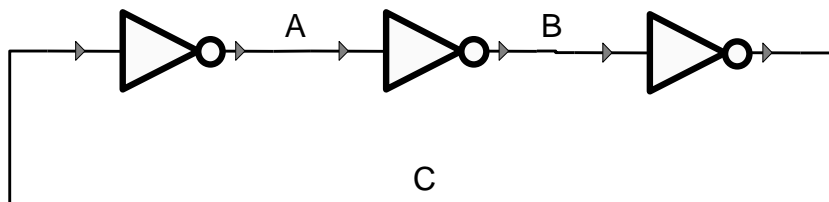
## Proste układy sekwencyjne

**Układy sekwencyjne** to takie w których niektóre wejścia są sterowane przez wyjścia układu ( zawierają sprzężenie zwrotne ). Układy sekwencyjne muszą zawierać elementy pamiętające stan w jakim znajduje się układ

Przykład. Proste elementy pamiętające



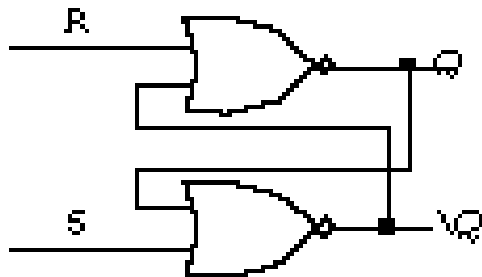
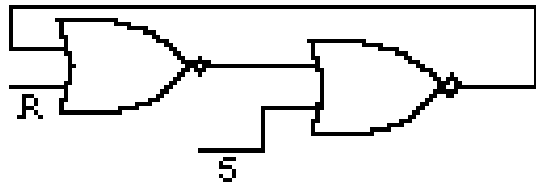
*Cwiczenie.* Rozważyć przebiegi sygnałów w układzie przedstawionym poniżej.



Sprzężenie zwrotne może prowadzić do sytuacji w której układ nie znajduje się w stabilnym stanie.

# Przerzutnik RS

Para bramek NOR.



R	S	Q
0	1	1
1	0	0
0	0	Q(t-1)
1	1	zabr

R(t)	S(t)	Q(t)	Q(t+1)
0	1	1	1
0	1	0	1
1	0	1	0
1	0	0	0
0	0	0	0
0	0	1	1
1	1	0	Zabr.
1	1	1	Zabr

		SR			
		00	01	11	10
Q(t)	0	0	0	X	1
	1	1	0	X	1

R

$$Q(t+1) = S(t) + R(t)' \cdot Q(t)$$

*Cwiczenie.* Rozważyć działanie układu z parą bramek NAND

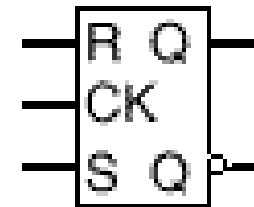
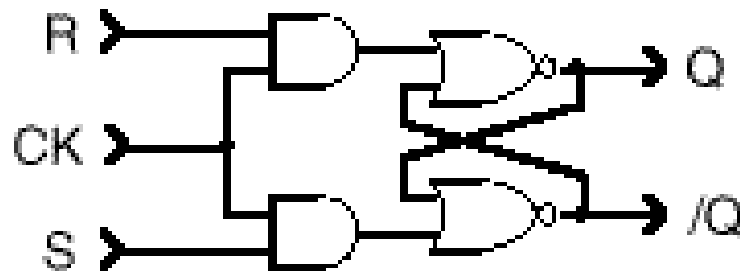
*Cwiczenie.* Narysować diagram stanów dla zatrzasku RS

# Bramkowanie przerzutnik.

W układzie sekwencyjnym wyjście jest funkcją sygnałów wejściowych i stanu układu. Zmiana stanu układu odbywa się w wyznaczonych chwilach czasowych - jest wywoływana aktywnością sygnału taktującego układ zwanego **zegarem**. **Zatrzask** (ang. latch) jest układem reagującym na wejścia informacyjne podczas aktywnego poziomu sygnału zegarowego.

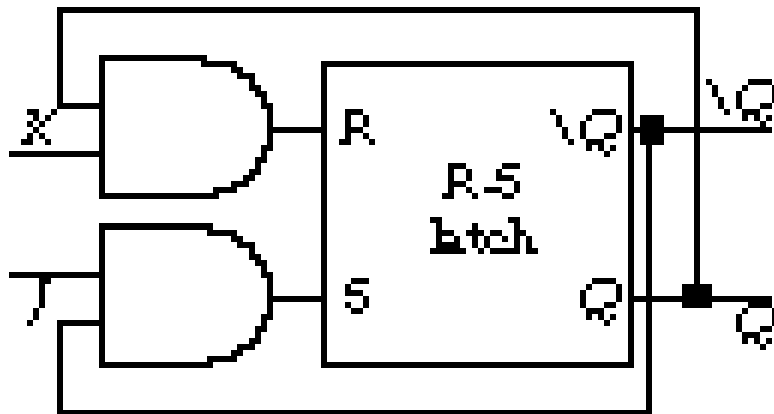
Przykład. Bramkowany RS latch

CK	S	R	Q(t+ $\delta$ )
0	0	0	Q(t)
0	0	1	Q(t)
0	1	0	Q(t)
0	1	1	Q(t)
1	0	0	Q(t)
1	0	1	0
1	1	0	1
1	1	1	0



# Przerzutnik JK

Wskazane byłoby wyeliminowanie zakazanego wektora sterującego typu '11' dla przerzutnika RS. Budujemy przerzutnik JK.



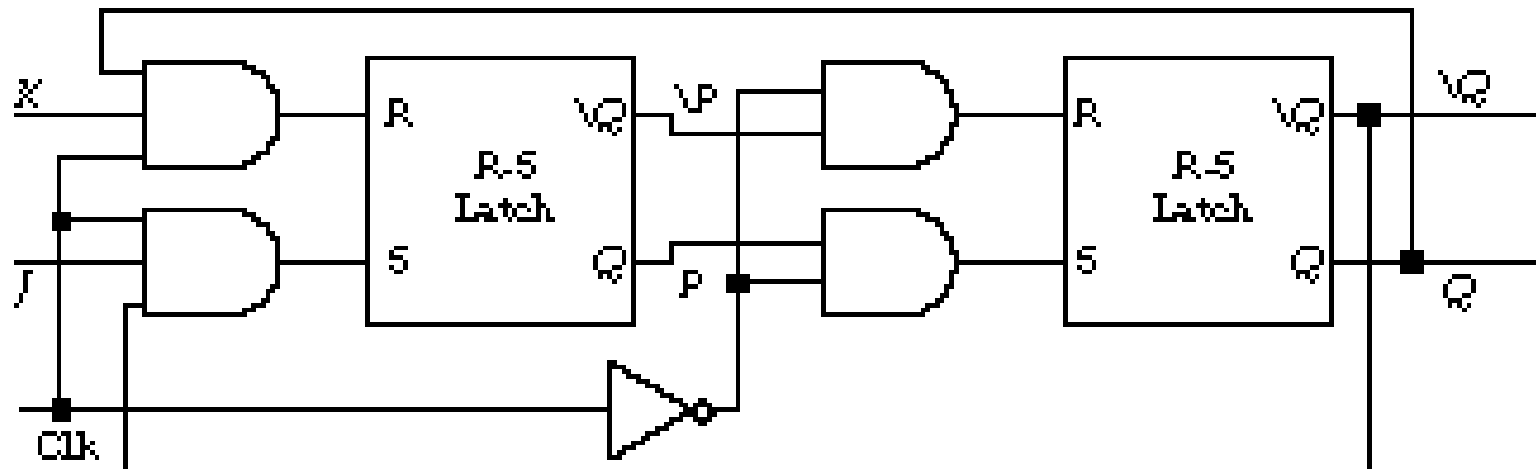
$J(t)$	$K(t)$	$Q(t)$	$Q(t+\Delta)$	
0	0	0	0	HOLD
0	0	1	1	
0	1	0	0	RESET
0	1	1	0	
1	0	0	1	SET
1	0	1	1	
1	1	0	1	TOGGLE
1	1	1	0	

*Cwiczenie.* Zapisać formułę boole'a opisującą pracę przerzutnika JK

# Przerzutnik JK-MS

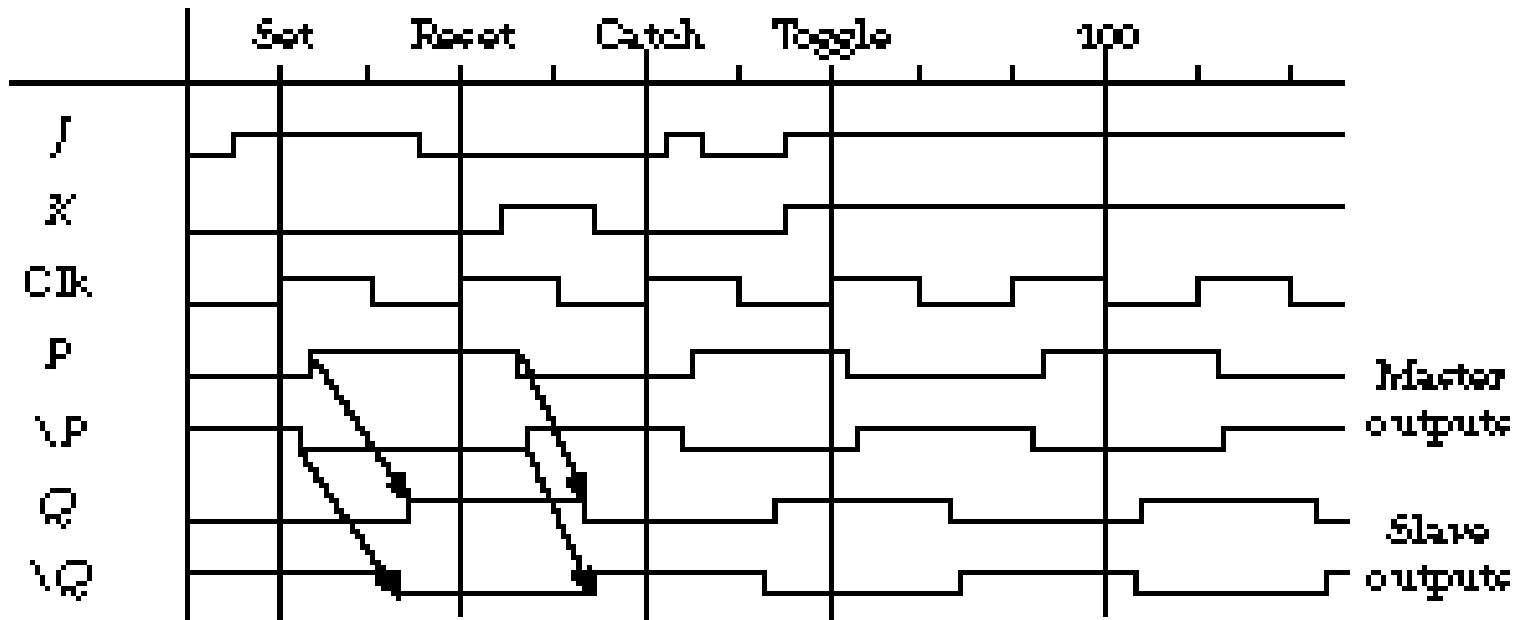
Problem z przerzutnikiem JK polega na tym, że jeżeli  $JK=„11”$ , to przerzutnik nieprzerwanie zmienia stan na przeciwny. Dlatego bardziej przydatny będzie dla nas **przerzutnik** ( już nie zatrask ) JK-MS.

Przerzutnikiem flip-flop (ang. flip-flop) będziemy nazywali układ reagujący na stany wejść informacyjnych podczas zmiany stany sygnału zegarowego.



Przerzutnik zbudowany jest z dwóch stopni: stopnia *master* i stopnia *slave*. Stopień *master* akceptuje dane jeżeli sygnał zegara ( CLK ) jest aktywny jedynką. Stopień *slave* akceptuje dane jeżeli zegar jest zerem. Aby zmiany na wejściu wywołały zmiany na wyjściu konieczny jest pełny cykl zegara.

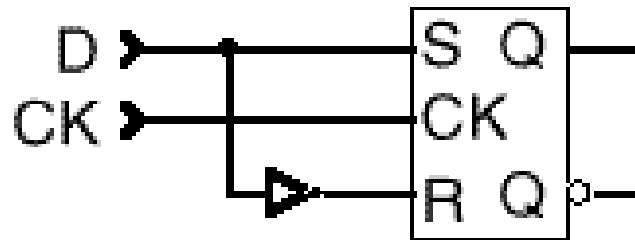
## Zjawisko łapania jedynek



W układach przerzutników typu master/slave występuje niekorzystne zjawisko łapania jedynek.

Na przykład jeżeli w naszym układzie podczas kiedy zegar jest jeden J zmieni stan 0->1->0 ( hazard na wejściu sterującym J ) to stopień slave zapamiętał 1 na wyjściu P i mimo, że J ustaliło się na poziomie 0 przepisze na wyjście Q stan 0, a nie stan 1.

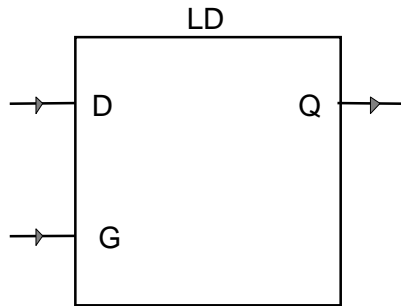
## Przerzutnik D



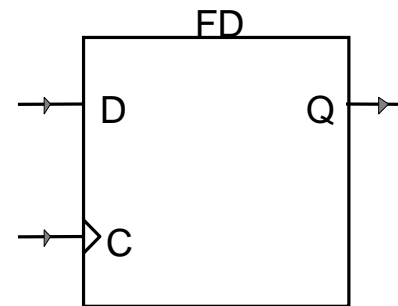
D	Q	Q(t+1)
0	0	0
0	1	0
1	0	1
1	1	1

$$Q(t+1)=D$$

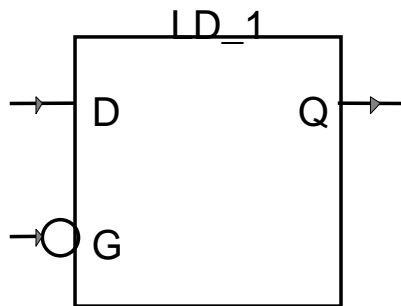
## Symbole graficzne typu zegara



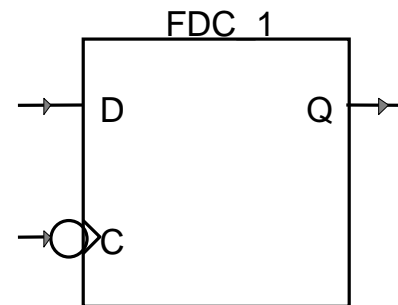
D latch aktywny poziomem wysokim



D flip-flop aktywny  
zbochem narastającym



D latch aktywny poziomem niskim

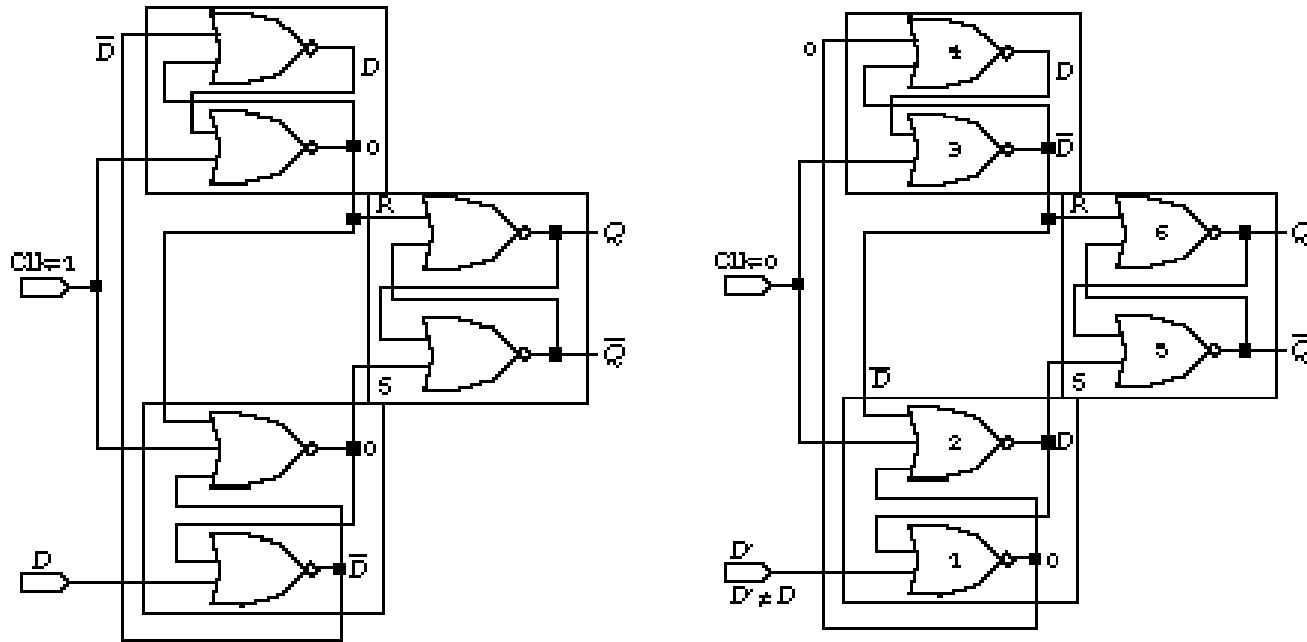


D flip-flop aktywny  
zbochem opadającym



# Realizacja przerzutnika D flip-flop

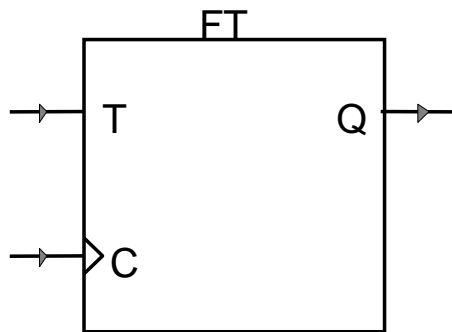
Przerzutnik D typu flip-flop jest przerzutnikiem wyzwalanym aktywnym zboczem zegara. Nie występuje tu zjawisko łapania jedynek, co znacznie ułatwia projektowanie. Układ składa się z trzech przerzutników RS. Bramki 5 i 6 sterują wyjście. Bramki 3 i 4 pamiętają zatrzaśnięty stan. Bramki 1 i 2 kontrolują wejście D. Przerzutnik zapamiętuje opadającym zboczem zegara.



kiedy Clk=1 wejścia sterujące RS głównego przerzutnika są zero więc żadne zmiany na wejściu D nie powodują zmian na wyjściu Q

Kiedy Clk=0 wejście S jest sterowane stanem D, a wejście R stanem D' zmiana stanu na D nie zmienia wyjść bramek 3 i 4 dopóki zegar nie zmieni stanu na 1. Kolejna zmiana zegara na 0 zmieni stan wyjść QQ'

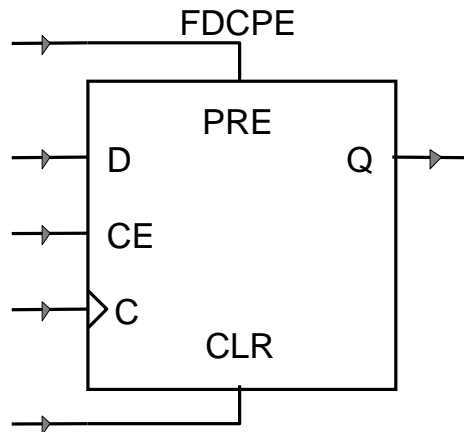
# Przerzutnik T



T	Q	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

$$Q(t+1) = T \oplus Q$$

## Typowe dodatkowe sygnały sterujące przerzutniki



Sygnal CLOCK ENABLE (CE) – blokowanie sygnału zegarowego

Sygnal CLEAR lub RESET (CLR) – kasowanie przerzutnika

Sygnal SET lub PRESET (PRE) –ustawienie przerzutnika

Sygnaly SET i CLEAR mogą być **synchroniczne** lub **asynchroniczne**

*Cwiczenie.* Napisać tablicę prawdy dla przerzutnika przedstawionego na rysunku