|  |  |
| --- | --- |
| **Nr ćwiczenia: 110** | **110** |
| **Klasa:**  |  |
| **Nr grupy:**  |  |
| **Opis komputera /nazwa na obudowie/** |  |
| **Wersja systemu Windows** |  |
| **Wersja programu CPU-Z** |  |
| **Wersja programu HWINFO** |  |
| **Temat ćwiczenia: Identyfikowanie parametrów i właściwości pamięci SRAM (cache)** |
| **Data wykonania ćwiczenia (wykonujesz w trakcie zajęć):** |
| **Wykorzystaj programy : HWINFO, CPU-Z** |
| **Termin oddania (na pocztę służbową nauczyciela) sprawozdania (1 plik):***(****termin: plik oddajesz do końca zajęć. Po oddaniu poprawki nie są przyjmowane****)* |
| **Do oceny należy wysłać jeden plik: Prutk-110-cache-klasa-nazwisko-imie-1.DOCX****gdzie: klasa, nazwisko, imię zgodne z prawdą** |
| **Imię i nazwisko wykonawcy:**  |

|  |  |
| --- | --- |
| Uwagi: *wypełnia nauczyciel**Za tabelkę nagłówkową 1 pkt.**Za tabele 1 – 4 1 pkt.**Za pytania 1 – 8 8 pkt.**Razem 10 pkt (100%) 50% dop. 60% dst 75% db, 90% - bbd, 96% - cel**Statut Szkoły PAR. 39b punkt 3 podpunkt 3)* | Ocena *wypełnia nauczyciel* |

Tabela 1. Parametry pamięci **cache** (źródło **CPU-Z**)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Rodzaj pamięci cache** | **Rozmiar całkowity** | **Liczba bloków** | **Liczba linii deskryptora bloku** | **Rozmiar bloku (Line-size)** |
| L1 dla rozkazów |  |  |  |  |
| L1 dla kodu |  |  |  |  |
| L2  |  |  |  |  |
| L3 |  |  |  |  |

Tabela 2. Parametry pamięci **L1 cache** (źródło **HWINFO**)

|  |  |  |  |
| --- | --- | --- | --- |
| **Rodzaj pamięci cache** | **Liczba bloków** | **Rozmiar bloku** | **Rozmiar całkowity** |
| L1 dla rozkazów |  |  |  |
| L1 dla danych |  |  |  |

Tabela 3. Parametry pamięci **L2 cache** (źródło **HWINFO**)

|  |  |  |  |
| --- | --- | --- | --- |
| **Rodzaj pamięci cache** | **Liczba bloków** | **Rozmiar bloku** | **Rozmiar całkowity** |
| L2 |  |  |  |

Tabela 4. Parametry pamięci **L3 cache** (źródło **HWINFO**)

|  |  |
| --- | --- |
| **Rodzaj pamięci cache** | **Rozmiar całkowity** |
| L3 |  |

/miejsce na udzielenie odpowiedzi/

1. Jak nazywa się operacja która jest wykonywana na pamięci cache, bez stanów oczekiwania?
2. W przypadku trafienia główna magistrala systemu nie jest w ogóle używana, co powoduje dodatkowe zwiększenie szybkości działania systemu. Jaka to architektura?
3. W przypadku chybienia wykonywany jest normalny cykl magistrali ze stanami oczekiwania. Jaka to architektura?
4. Jak nazywa się część pamięci cache procesora obsługująca dane z programu?
5. Jak nazywa się część pamięci cache procesora obsługująca rozkazy z programu?
6. Jak nazywa się strategia w której zawartości pamięci cache i pamięci głównej są uzgadniane tylko w przypadku takiej potrzeby ?
7. Jak nazywa się strategia w której zapis informacji do bufora sterownika cache, w przypadku trafienia i chybienia (procesor widzi tę operację jako dostęp do pamięci bez stanów oczekiwania) ?
8. Jak nazywa się strategia w której każdy zapis do pamięci cache powoduje jednocześnie zapis do pamięci głównej ?

[END]